

基于二分法的混合信号接口板的设计

张 乐^{1,2} 李 震^{1,2}, 陈 伟^{1,2} 缪向水^{1,2}

(1 华中科技大学 电子科学与技术系, 湖北 武汉 430074; 2 武汉光电国家实验室, 湖北 武汉 430074)

摘 要:介绍了一种基于二分算法的混合信号接口板. 该接口板可通过编程任意配置测试芯片管脚实现模拟或数字信号输入端口与输出端口的无损连接, 可广泛应用于芯片自动化测试领域. 本设计采用二分法来实现管脚的分级, 采用遍历引脚逐一比较的方式来配置引脚连接, 通过控制模拟开关阵列来实现模拟信号的输入与输出端口连接, 通过 FPGA 实现数字信号的输入与输出端口连接. 该设计方案利用极少的开关实现了复杂线路的配置, 具有较高的资源利用率, 极大降低了芯片测试的难度和成本.

关键词: 开关阵列; 混合信号接口板; FPGA; 二分算法

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2012)04-0067-04

The Design of Mixed-signal Device Interface Board Based on the Bisection Method

ZHANG Le^{1,2}, LI Zhen^{1,2}, CHEN Wei^{1,2}, MIAO Xiang-shui^{1,2}

(1 Dept. of Electronic Sci. & Tech., Huazhong University of Sci. & Tech., Wuhan 430074, China;

2 Wuhan National Laboratory for Optoelectronics, Wuhan 430074, China)

Abstract: This paper presents the design of a mixed-signal device interface board based on the bisection method. The board can be programmed freely to finish both the analog and digital pins lossless reconfiguration of the devices under test with the testing system. And it is widely used in the field of IC automatic test. The bisection method is used to classify the pins which have different functions. And one-to-one mapping of the pins is achieved by bubble sorting algorithm. Using the analog switching arrays as channels, both the analog and digital signals can pass freely. The complex digital connection is accomplished in the FPGA, which can provide enough programmable gate arrays. This design achieved complex mixed-signal channel reconfiguration with a few switches. Besides high resource utilization, the difficulty and cost of chip test have been reduced greatly.

Key words: switching array; mixed-signal device interface board; FPGA; bisection method

1 引言

随着半导体技术的发展, 由于集成电路芯片的集成度越来越高、电路结构越来越复杂, 导致芯片的测试也越来越困难, 不仅耗时, 而且测试成本高, 因此集成电路自动化测试的重要性日益凸显^[1]. 因各封装后的测试芯片管脚功能不尽相同, 为了降低测试成本, 缩短测试周期, 可编程器件接口板被广泛应用于自动测试领域以实现待测芯片与测试仪器的连

接^[2]. 随着芯片封装技术向高密度、高速度方向的发展, 如何实现芯片与测试系统的快捷无损连接成为一个新的难题. 另外, 在消费类电子、汽车和通信等领域, 混合信号集成电路的需求不断上升^[3]. 为了降低系统成本、提升系统速度, 一块芯片上往往集成了模拟电路部分和数字电路部分, 这为器件接口电路板在测试精度、速度、可靠性等方面又带来了新的问题. 目前, 国外器件接口板设计已达到较高的水平, 如 Agilent 公司的 Verigy 93000 SoC 测试仪, 其可

收稿日期: 2011-07-16; 修回日期: 2011-09-28

基金项目: 国家“八六三”计划项目(2009AA01Z113, 2009AA01A402)

通过软件配置的数字通道高达 1 024 个,且每个通道的数据传输速率可达到 660 Mb/s. 国外大型的自动测试设备不仅价格昂贵,为了达到技术垄断,其关键部件如自动接口电路板部件及相关技术不会对外界透露,这就迫切需要自主研发出适合国内企业使用的低成本高效率的器件接口板. 文献[4]介绍了一种利用矩阵开关制作电话线路,该方法可实现 144 个通道的模拟信号传输,在 300~4 000 Hz 带宽范围内信号衰减仅为 1 dB. 关于混合信号测试接口板的设计一直是个难点^[5],文献[6]中提出了一种低成本的混合信号的测试接口板的实现方式,该文献还介绍了一种新的软件实现方法. 各种测试接口板上最重要的部分是开关系统模块,而开关系统的拓扑结构分为通用开关、多路开关、树型开关、矩阵开关四种,而一般最常用的为矩阵开关,一般采用 FPGA,继电器,交叉点开关作为矩阵开关的基本单元. 本设计结合以上各种开关模型的优势,采用分级匹配的方式,成功实现了数字信号与模拟信号的混合选通,具有很高的可靠性和灵活性.

2 算法分析

器件接口板的功能在于实现测试芯片与测试系统的任意管脚配置,要求一个测试信号输入端对应一个芯片管脚,其中关于阵列算法的选择与 LCD 阵列的驱动类似^[7-8]. 考虑到待测芯片种类的多样性,其管脚数目的多样性,器件接口板上测试信号通道和待测芯片连接管脚通常要大于待测芯片实际引脚数. 设芯片管脚总数为 m ,测试接口的总数为 n ($n > m$),则芯片管脚的可能配置情况总数如式(1)所示,其中 N 为阵列开关配置后所使用的线路总数. 对于单一开关矩阵其每一个管脚均要求与所有输入接口连通,连线总支路数 $M = m^n$. 取最少连接情况 $n = m$,则对于 40 管脚的测试接口板,其连接方式总数为 $40!$,支路总数为 40^{40} ,需要大量的开关阵列,且阵列开关具有极低的利用效率,如式(2)所示,其中 ρ 为开关阵列的利用效率.

$$N = C_n^m \times m! \quad (1)$$

$$\rho = \frac{C_n^m \times m!}{m^n} \quad (2)$$

本设计以数组排序中的二分算法为基础,演化出一种分级选择的方法,减少了开关阵列的选择次数,提高了开关阵列的初始化效率,其算法流程如图 1 所示. 芯片接口总数为 m ,操作步骤为:①挑选区分数字信号和模拟信号,所需 2 选 1 开关总数为 m ,

对于每一个开关只有两种选择方式,其支路总数为 $2m$;②挑选后模拟通道总数为 n ,数字通道总数为 d ,其中 $m = n + d$,对于一般芯片模拟通道总数 n 远小于 d ;③挑选电源引脚,所需 n 选 2 开关总数为 a ,总支路数为 $a \times n$,其中 $n = a + p$;④为了减少后续开关阵列的连接数目,需对挑选后的通道进行排序,使得所有同类型的端口均精密相连,数字模块需要 d 选 1 开关总数为 c ,模拟通道需要 n 选 1 开关总数为 p ;⑤对排序后的数据通道进行端口匹配,需要支路总数计算方式如式(3)所示,由数字支路总数和模拟 IO 支路数组成,其中 $\bar{M}$ 为此处的支路总数,支路数 a, b, q 满足式(4),系统开关利用效率 $\bar{\rho}$ 如式(5)所示.

$$\bar{M} = b^b + q^q + a^a \quad (3)$$

$$m = a + b + q \quad (4)$$

$$\bar{\rho} = \frac{C_m^n \times (b! + q! + a!)}{b^b + q^q + a^a} \quad (5)$$

比较式(5)与式(2)可知,采用分级选择的方法可减少开关器件的使用,降低开关阵列的连接复杂度.

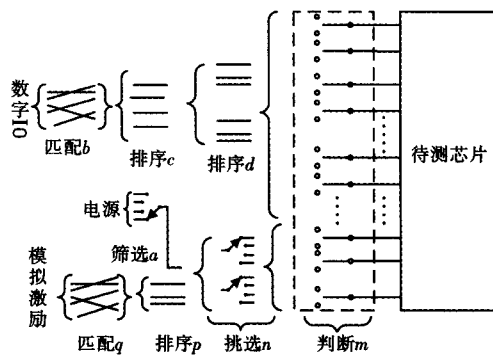


图 1 开关阵列分级算法示意图

3 系统设计与实现

该可编程器件接口板主要由人机接口、主控模块、下位机控制模块、电源模块、二级模拟信号开关矩阵、二级数字信号开关阵列、电平转换部件、电平选择开关阵列、二级模拟信号分类开关、一级选通阵列开关和柔性针床构成. 系统整体结构如图 2 所示. 其操作过程为首先选择待测芯片工作电源电压为正负 12 V、9 V、5 V、3.3 V 或 1.8 V. 然后根据芯片的各管脚功能选择其各自类型为模拟通道和数字 IO 接口完成芯片管脚的一级配置. 接着设置各管脚的具体功能,如模拟通道中包含有电源和测试信号,测试信号又分为低频信号与射频信号. 电源设置还包括正负极性,或与地相连. 一般的信号通道按照功能

将其分别与输入端口标号映射,然后分配数字通道信号,根据管脚的不同功能,根据输入引脚编号将其与对应的IO端口编号相连接。本设计不同于传统设计之处在于采用了两级级联的方法实现了模拟信号与数字信号的混合配置,利用二分法首先将数字信号与模拟信号区分开,然后采用冒泡的方法逐一选择排列数字或模拟信号,实现输入端口与输出端口的匹配。为了保证混合信号的无损传输和为待测芯片提供足够的电流,本设计中的一级选通阵列开关、二级模拟信号分类开关和电源选择开关均采用2选1继电器程控开关;采用AVR单片机作为下位机控制器,用来实现一级信号通道的选择;采用FPGA作为二级数字信号通道,通过下载输入的匹配文件进行阵列开关配置来实现数字信号通道的分配。

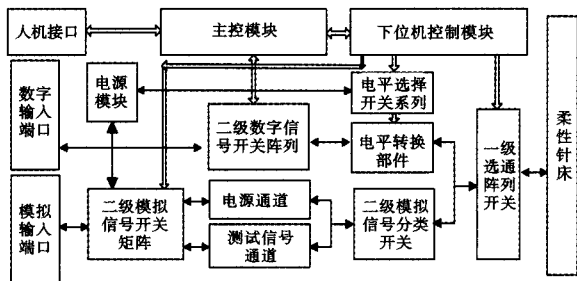


图2 可编程器件接口板整体结构图

4 各模块功能及设计实现

可编程器件接口板可分为控制模块、开关阵列、输入输出接口、电平转换四大模块。其中控制模块包括主控模块和下位机控制器,开关阵列因在各处的功能不同而选用不同的基本单元组成,其种类主要有2选1继电器、8选1模拟开关和多路继电器式复用开关。输入输出接口主要采用端口接插件和柔性针床。

4.1 控制模块

主控模块由上位机计算机和其上的控制程序构成,上位机的功能是接收人机接口的输入数据并对其进行处理,将模拟信号通道管脚的配置信息发送到下位机控制模块,将数字信号通道管脚的配置信息导入FPGA编程软件进行编译综合后,下载到FPGA中。程序的处理流程为首先根据输入管脚的功能对管脚进行标定,模拟通道标记为1,数据通道标记为0,按对应的管脚编号,将标记值依次填入相应的数据位中。程序按8位一组编辑数据,通过串口发送到下位机微控器进行一级选通阵列开关的配

置。然后按照各管脚的具体功能编制管脚对应关系表,按管脚号由小到大的顺序将其各自对应的激励接口编号发送到下位机,完成端口的二级匹配。

下位机控制模块由控制器和外围锁存器构成,控制模块的功能是接收上位机发送的数据,并将控制信号发送到对应的开关阵列进行开关配置,下位机采用具有45个IO端口的Avr mega 128单片机,为节约管脚资源,采用分时公用的方法对开关阵列进行初始化。其程序设计流程为,首先根据接收到的数据控制一级开关阵列区分数字信号与模拟信号,将数字信号端口与电平转换部件端口相连,模拟信号端口与二级模拟信号分类开关阵列相连。接着控制信号分类开关挑选出大电流的电源端口,使待测芯片的电源引脚经电源通道与电源相连,其它测试信号与模拟信号通道相连。接着控制二级模拟信号开关矩阵将信道与测试输入端口匹配。

4.2 模拟开关阵列

器件接口板中的一级选通阵列开关,二级模拟信号分类开关和电源支路选择开关均以继电器为基本单元,其原因是所选用继电器的安全应用范围1A/30VDC,0.3A/110VDC或0.5A/125VAC最大导通电阻为 1Ω ,能够为待测芯片提供足够大的电流。图3所示为一级开关阵列与系统连接的结构示意图。开关阵列由2选1继电器搭建而成,继电器的公共端与测试芯片管脚一一连接,继电器的常闭端与电平转换芯片组连接,常开端与模拟开关阵列相连。这样连接一方面可以避免系统上电时模拟通道的开关电源经继电器流入待测芯片而对芯片造成损坏,另一面由于一般待测芯片数字信号引脚数目远大于模拟信号引脚数目,将常闭端与数字引脚相连,在控制器重新初始化开关阵列时,只需要对较少数的继电器施加高电平即可,大大降低了系统的功耗。其工作过程为,首先选中带锁存器的传输门1,通过AVR单片机的P0口将接收到的第一个8位数据送到传输门1锁存,控制第1~8号继电器动作,完成对1~8号管脚的配置,然后依次控制9~16号、17~24号等继电器完成所有管脚的配置。

二级模拟分类开关包含二个部件,与输入端口直接相连的是多路继电器式复用开关芯片组,其功能是将分散的模拟信号通道整合排列,其可选择这路与一级开关总数相同,这样通过较少的复用开关就能实行所有模拟信号的分配,大大减少了系统中需使用开关的数目,提升了器件的初始化速度,降低了测试成本。其操作过程为首先控制编号靠前的复

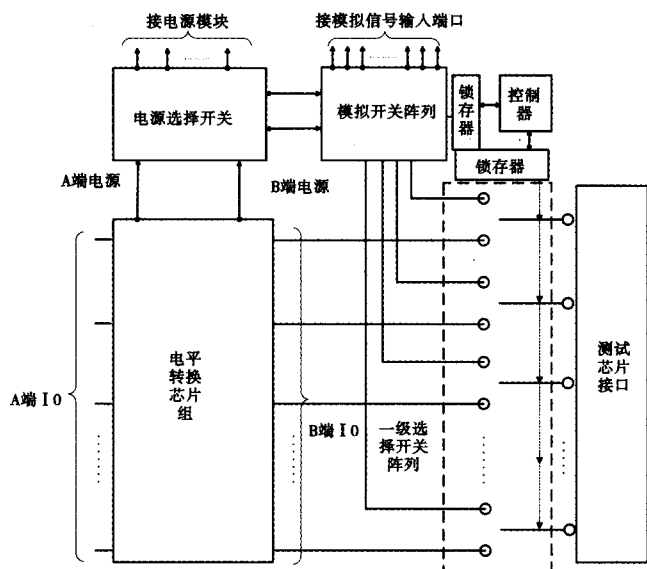


图3 一级开关阵列结构示意图

用开关挑选出电源端口,与电源选择开关阵列的各公共端相连,控制电源选择开关即完成了电源端口的分配。接着按照从小到大的顺序依次控制复用开关组中的单一复用开关,使其公共端选中与其对应顺序的模拟信号管脚。复用开关芯片组的各公共端分别与二级模拟信号开关矩阵相连,通过单片机初始化二级模拟信号开关矩阵来完成各模拟信号管脚与激励信号管脚的匹配。

图4中给出了8路输入输出端口的二级模拟信号开关矩阵的电路原理图。该电路可实现8路左端口P0.0—P0.7与右端口P1.0—P1.7之间端口的任意连接,包括5040种互斥连接,能完全满足具有8路模拟信号管脚芯片的管脚配置需求。其初始化过程为,给高电平到使能信号Enable允许3—8译码器U0工作,给地址信号0到CS0—CS2,选通8选1模拟开关芯片U1,Enable给低电平锁存地址信号,给通道选择信号到A0—A2,将右端口P1.0按其所连接的测试芯片管脚功能分别与相对应的左端口相连。然后依次给地址信号1—7,分别完成P1.1—P1.7的管脚分配。最后,控制3—8译码器使能端口EN0和EN1,使译码器处于非译码状态,不选通任何8选1模拟开关芯片,至此完成了整个模拟信号通道的管脚分配过程。

4.3 数字信号开关阵列

数字信号开关阵列采用FPGA来实现,是因为FPGA相较于PAL、GAL器件,可以实时地对外加的或内置的RAM或EPROM编程,能够实时地改

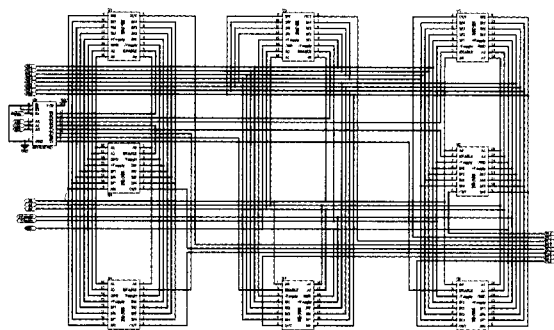


图4 二级模拟信号开关矩阵电路原理图

变器件功能,完成引脚的配置。数字IO模块的编程过程分为挑选和排序两个过程,首先挑选IO端口的数字信号,将其按照管脚标号由小到大的顺序分别与片内的寄存器IO_out总线相连,连接方式均按照标号由小到大的顺序,即从IO_out[0]开始依次向后连接。然后将引脚与输入端口管脚逐一连接,然后选择IO_out总线上端口,根据其功能与对应的IO_in总线上的激励信号相连接。其实现方法与模拟开关阵列的选择方法类似。

5 结束语

本文提出了一种新的测试接口板电路的设计方案及软件实现,该方法采用分级选择的方法,大大降低了测试接口电路板中开关的使用数量,降低了测试成本。采用电源通道与模拟通道、数字通道分立的方法成功保住了测试芯片对大电流的需求,降低了开关线路中的串扰,提升了系统的可靠性。该测试接口板能实现模拟信号通道与数字信号通道的任意配置。

参考文献:

- [1] Burns M, Roberts G W. An introduction to mixed-signal IC test and measurement[M]. New York, Oxford University Press, 2001.
- [2] Alessandro Cabrini, Laura Gobbi, Davide Baderna, et al. A compact low-cost test equipment for thermal and electrical characterization of integrated circuits[J]. Measurement, 2009(42): 281-289.
- [3] 雷绍充,邵志标,梁峰. 超大规模集成电路测试[M]. 北京:电子工业出版社,2008.
- [4] Claude Benichou, Jean-Marie Blachere, Henri J Braquet. A 144 crosspoint switching matrix[J]. IEEE Journal of Solid-State Circuits, 1981, Sc-16(4): 293-301.

(下转第75页)

(2)加速比比较

图4中给出了基于GPU-CPU流水线的回波快速聚类的加速比.由于近乎隐藏了第二阶段的计算过程,因此相对于一般策略的CUDA并行化方法,在流水线理想情况下,能获得38%~50%的性能提升.而相对于串行的算法,可以获得高达47~49x的加速比.图中可以看到,加速比随着输入规模的扩大,基本保持不变.

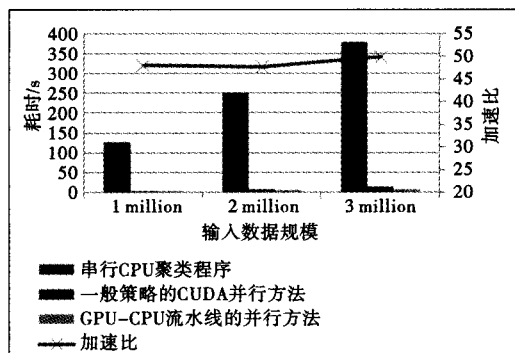


图4 基于GPU-CPU流水线的回波快速聚类加速比

5 结束语

本文提出了基于GPU-CPU流水线的雷达回波快速聚类方法,给出了一种通过流水线隐藏算法部分计算过程的方法.该方案相对于普通的CUDA并行方法提高了40%,相对于串行算法则获得了37倍的加速比,满足了应用中实时处理的需求.

下一步的工作,我们将深入研究这种GPU-CPU流水线机制的特点,找出其所适用的应用场景,以提高其他算法并行化的效率.

参考文献:

- [1] Lakshmanan V, Rabin R, DeBrunner V. Multiscale storm identification and forecast[J]. Atmospheric Research, 2003(7): 67-68.
- [2] Lakshmanan V, Rabin R, DeBrunner V. Segmenting radar reflectivity data using texture[C]//Proc. of the 30th International Conference on Radar Meteorology. Zurich, Switzerland, 2001.
- [3] Farivar R, Rebolledo D, Chan E, et al. A parallel implementation of K-means clustering on GPUs[C]//Proc. of the 2008 International Conference on Parallel and Distributed Processing Techniques and Applications(PDPTA 2008). USA: Las Vegas, 2008: 340-345.
- [4] Miao Q, Fu Z L, Zhao X H. A new approach for color character extraction based on parallel clustering[C]//Proc. of 2009 International Conference on Computational Intelligence and Software Engineering. China: Wuhan, IEEE Computer Society, 2009.
- [5] Walters J P, Balu V, Kompalli S, et al. Evaluating the use of GPUs in liver image segmentation and HM-MER database searches[C]//Proc. of the 2009 IEEE International Parallel and Distributed Processing Symposium(IPDPS2009). Germany, Weimer, IEEE Computer Society, 2009.
- [6] 陈加, 吴晓军, 蔡荣. GPU并行加速的均值偏移算法[J]. 计算机辅助设计与图形学学报, 2010, (3).

作者简介:

周伟男, (1982—), 硕士研究生. 研究方向为流处理器体系结构、并行计算.

施宁 讲师. 研究方向为图像处理与模式识别.

(上接第70页)

- [5] High pin count rapid relay-based ESD & latch-up test system for evaluating advanced IC devices[R]. USA One Lowell Research Center. Lowell, MA 01852.
- [6] Sudhir Wokhlu, Erika Beskar, Raul Rousselin, et al. Low cost automatic mixed-signal board test using[C]//International Test Conference. USA California, 2007.
- [7] 雷鑑铭, 邹雪城, 邹望辉, 等. 应用于LCD控制器的动态抖动算法及帧速率控制技术[J]. 微电子学与计算机, 2004, 21(5): 22-24.

- [8] 汪翼, 沈海斌, 樊俊锋. 优化帧频控制的LCD控制器IP的设计与验证[J]. 计算机工程, 2006, 32(16): 235-236.

作者简介:

张乐男, (1986—), 硕士研究生. 研究方向为新型存储器设计.